

JPOC001471

PCT/JP 00/01471

06.04.00

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

(4)

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 3月16日

REC'D 26 MAY 2000

WIPO

PCT

出 願 番 号

Application Number:

平成11年特許願第070121号

出 願 人

Applicant (s):

浜松ホトニクス株式会社

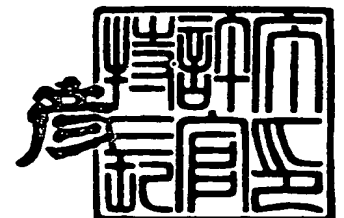
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年 5月12日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3034903

【書類名】 特許願

【整理番号】 HP99-0003

【提出日】 平成11年 3月16日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/335

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

【氏名】 石川 正俊

【発明者】

【住所又は居所】 静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

【氏名】 豊田 晴義

【特許出願人】

【識別番号】 000236436

【氏名又は名称】 浜松ホトニクス株式会社

【代理人】

【識別番号】 100088155

【弁理士】

【氏名又は名称】 長谷川 芳樹

【選任した代理人】

【識別番号】 100089978

【弁理士】

【氏名又は名称】 塩田 辰也

【選任した代理人】

【識別番号】 100092657

【弁理士】

【氏名又は名称】 寺崎 史朗

【手数料の表示】

【予納台帳番号】 014708

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 高速視覚センサ装置

【特許請求の範囲】

【請求項 1】 複数の受光素子が 2 次元状に配列された受光素子アレイと、
前記受光素子アレイの各列に対応して設けられ、対応する 1 列中の受光素子から順次読み出された出力信号をアナログ・デジタル変換する複数の A/D 変換器を有し、当該複数の A/D 変換器が 1 次元状に配列されて構成される A/D 変換器アレイと、

前記受光素子アレイの各受光素子と 1 対 1 に対応して設けられ、前記 A/D 変換器アレイから転送された対応する受光素子の出力信号に相当するデジタル信号について所定の演算を行う複数の演算素子を 2 次元状に配列して、並列演算処理を行う演算素子アレイと、前記演算素子に対応して設けられ、前記 A/D 変換器からの出力信号を所定の前記演算素子に順次転送する複数の転送用シフトレジスタと、を有する並列処理機構と、

前記並列処理機構の各列ごとの演算素子を接続し、列ごとの演算素子とのデータ転送を行う列方向データ転送用バスと、

前記並行処理機構の各行ごとの演算素子を接続し、行ごとの演算素子とのデータ転送を行う行方向データ転送用バスと、

前記受光素子アレイ、前記 A/D 変換器アレイ、前記並列処理機構、前記各データ転送用バスを制御する制御回路と、

を備える高速視覚センサ装置。

【請求項 2】 請求項 1 記載の高速視覚センサ装置において、前記列方向データ転送用バス及び前記行方向データ転送用バスのそれぞれに対応するデータバッファをさらに備えていることを特徴とする高速視覚センサ装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、画像処理機能を備えた高速視覚センサ装置に関する。

【0 0 0 2】

【従来の技術】

F Aシステム等でロボットを高速で動作させるためには、高速の画像処理が必要とされる。例えば、視覚センサとアクチュエータの間でフィードバックループを形成するロボットの場合、アクチュエータはミリ秒単位で制御可能であるため、本来はこれに対応した画像処理速度が必要になる。ところが、現状のビジョンシステムでは画像処理速度がビデオフレームレートに限られているため、この画像処理速度に合わせた低速動作しかできず、ロボットの性能を十分に活かしきれていなかった。

【0003】

一方、高速CCDカメラの中には1ミリ秒程度で画像を撮像できるものもあるが、これらは撮像した画像をいったんメモリに貯えて、後から読み出して処理を行う機構になっているため、画像解析などの用途には使えるが、実時間性はほとんどなく、ロボット制御などの用途には適用できなかった。

【0004】

このような問題を解決するため、画像の取込部と処理部を一体として取り扱うビジョンチップの研究が進んでおり、マサチューセッツ工科大学、カリフォルニア工科大学、三菱電機などの研究が知られている。しかし、これらは主として集積化の容易なアナログの固定回路を用いており、出力信号の後処理が必要であったり、画像処理の内容が特定用途に限定されていて汎用性がないなどの問題点があった。

【0005】

これらに対して汎用的な画像処理を行うことができるビジョンチップとしては、特開平10-145680号公報に開示された技術が知られている。この技術は、受光素子と1対1に対応させて演算素子を設け、A/D変換器を受光素子の列毎に設けているため、並列処理により演算時間を短縮するとともに、受光素子と演算素子間の伝送線を少なくすることができ、両者の集積度を最適にすることができるといった利点がある。

【0006】

【発明が解決しようとする課題】

しかしながら、この技術では、各演算素子へのデータ転送に演算素子そのものを利用する構成となっているため、画像転送時には演算処理を行うことができない。例えば、多くの画像処理において必要とされる情報である画像の重心（1次モーメント）を演算する場合には、その画素の位置情報（x方向の位置、y方向の位置）と、画素データとの演算を行うので、予めそれぞれの画素の位置情報が、それぞれの演算素子のメモリーに保管されている必要がある。上記特開平10-145680号公報の技術では、まず位置情報を制御回路から順に各演算素子に転送しておき、その位置データと、受光素子からの画像データを演算して出力しなければならず、位置情報の転送に時間を要してしまう。こうした基本的な画像演算処理の高速化が望まれていた。

【0007】

そこで、本発明は、こうした問題点に鑑みて、簡単な回路構成で、基本的な画像演算を高速に処理することが可能な多画素数の高速視覚センサ装置を提供することを課題としている。

【0008】

【課題を解決するための手段】

上記課題を解決するため、本発明の高速視覚センサ装置は、（1）複数の受光素子が2次元状に配列された受光素子アレイと、（2）受光素子アレイの各列に対応して設けられ、対応する1列中の受光素子から順次読み出された出力信号をアナログ・デジタル変換する複数のA/D変換器を有し、当該複数のA/D変換器が1次元状に配列されて構成されるA/D変換器アレイと、（3）受光素子アレイの各受光素子と1対1に対応して設けられ、A/D変換器アレイから転送された対応する受光素子の出力信号に相当するデジタル信号について所定の演算を行う複数の演算素子を2次元状に配列して、並列演算処理を行う演算素子アレイと、演算素子に対応して設けられ、A/D変換器からの出力信号を所定の演算素子に順次転送する複数の転送用シフトレジスタと、を有する並列処理機構と、（4）並列処理機構の各列ごとの演算素子を接続し、列ごとの演算素子とのデータ転送を行う列方向データ転送用バスと、（5）並行処理機構の各行ごとの演算素子を接続し、行ごとの演算素子とのデータ転送を行う行方向データ転送用バスと

、(6) 受光素子アレイ、A/D変換器アレイ、並列処理機構、各データ転送用バスを制御する制御回路と、を備えていることを特徴とする。

【0009】

本発明によれば、受光素子と1対1に対応させて演算素子が設けられているので、画像処理演算を並列処理により高速で行うことができる。さらに、演算素子への転送を専用のシフトレジスタにより行うことで転送中でも演算処理を行うことが可能である。また、A/D変換器を各列毎に設けることで伝送路の本数が少なくて済むという利点がある。さらに、各演算素子に対して行方向および列方向に専用のデータバスを配置することで、画像処理の基本演算である重心演算で必要となる位置情報を少ないデータ転送系統で効率的に転送することができる。また、各演算素子に対して個別にアクセスすることが可能となり、個々の演算素子に異なった演算処理を実行させたり、特定の演算素子の演算結果を制御回路に転送することもできる。したがって、半導体による集積化に適したアーキテクチャを堅持したまま、柔軟な処理能力を有する。

【0010】

列方向データ転送用バス及び行方向データ転送用バスのそれぞれに対応するデータバッファをさらに備えていることが好ましい。データバッファを設けることで、制御回路とデータ転送用バスとのデータ転送速度が低くても高速でのデータ転送が可能となる。並列処理機構、データ転送用バス、データバッファとを集積化すれば、演算素子からバッファまでのデータ転送の高速化を比較的容易に行える。

【0011】

【発明の実施の形態】

以下、添付図面を参照して本発明の好適な実施の形態について詳細に説明する。説明の理解を容易にするため、各図面において同一の構成要素に対しては可能な限り同一の参照番号を附し、重複する説明は省略する。

【0012】

図1に本実施形態に係る高速視覚センサ装置のブロック図を、図2に、装置の構成例を示す。

【0013】

まず、図1を参照して、センサ装置全体の構成を簡単に説明する。本実施形態の高速視覚センサ装置は、N1個×N2個の2次元状に配置された受光素子120からなる受光素子アレイ11と、受光素子アレイ11の1列ごとに対応して受光素子から出力された電荷を電圧信号に変換するN2個のチャージアンプ221からなる並列アンプ12と、チャージアンプからの出力信号をA/D変換するN2個のA/D変換器210からなるA/D変換器アレイ13と、受光素子120と1対1に対応するN1個×N2個の演算素子400および演算素子400にデータを転送するための転送用シフトレジスタ410からなる並列処理機構14と、各演算素子400に、列毎および行毎にデータを転送するため、各列ごと、各行ごとの演算素子400と接続されているx方向データバス17およびy方向データバス18と、各データバス17、18にそれぞれ接続されているデータバッファ19、20と、回路全体に命令信号等を送って制御する制御回路15及び制御回路15からの信号を受光素子アレイ11、並列アンプ12、A/D変換器アレイ13に送るインストラクション/コマンドバス16により構成されている。

【0014】

このような構成とすることにより、並列処理機構14と受光素子アレイ11との間は、N2本のデータラインで接続することが可能となる。したがって、図2に示されるように、受光素子アレイ11と並列処理機構14を別々の基板に形成して、双方を高集積化することが可能であり、また、それぞれの装置の特性に合わせた加工工程を採用できるため、安定した生産が可能となる。x方向、y方向のそれぞれのデータバス17、18及びデータバッファ19、20は、図示されているように、並列処理機構14と同一の基板上に形成してもよいし、別の基板上に形成してもよい。一体として集積化すれば、データバッファ19、20と演算素子400間のデータ転送速度を高速化させることが容易であり、特に、好ましい。また、上記の各構成要素は、全てCMプロセスによって作成可能であるから、全ての要素を1チップ化することも可能であり、大幅なコストダウンを図ることができる。

【0015】

続いて、各回路の内部構成について説明する。図3は、画像取込部の詳細構成を示している。画像取込部は、光を検出する受光部100（図1に示す受光素子アレイ11に相当）、受光部100からの出力信号を処理する信号処理部200（図1に示す並列アンプ12及びA/D変換器アレイ13に相当）、受光部100及び信号処理部200に動作タイミングの指示信号を通知するタイミング制御部300（図1に示す制御回路15の一部に相当）を備えている。

【0016】

最初に、図3により、図1の受光素子アレイ11に相当する受光部100の構成を説明する。受光素子120は、入力した光強度に応じて電荷を発生する光電変換素子130と、光電変換素子130の信号出力端子に接続され、垂直走査信号 V_i ($i=1\sim N1$) に応じて光電変換素子130に蓄積された電荷を出力するスイッチ素子140を1組として構成されている。この受光素子120が第1の方向（以下垂直方向あるいはx方向と呼ぶ）に沿ってN1個配置され、各受光素子120のスイッチ素子140が電氣的に接続されて垂直受光部110を構成している。そして、この垂直受光部110を垂直方向に直交する水平方向（以下、y方向とも呼ぶ）に沿ってN2個配列することにより受光部100が構成されている。

【0017】

次に、同じく図3により、図1では並列アンプ12及びA/D変換器アレイ13に相当する信号処理部200の構成を説明する。信号処理部200は、対応する垂直受光部110_j ($j=1\sim N2$) から転送されてきた電荷を個別に取り出して、処理し、この電荷強度に対応するデジタル信号を出力するA/D変換器210_jをN2個配置して構成されている。A/D変換器210_jは、チャージアンプ221_jを含む積分回路220_jと比較回路230_jと容量制御機構240_jの3つの回路から構成される。本実施形態では、チャージアンプ221をA/D変換器221に含む回路構成になっている。

【0018】

このうち、積分回路220_jは、垂直受光部110_jからの出力信号を入力として、この入力信号の電荷を増幅するチャージアンプ221_jと、チャージアンプ

221_jの入力端子に一方の端が接続され、出力端子に他方の端が接続された可変容量部222_jと、チャージアンプ221_jの入力端子に一方の端が接続され、出力端子に他方の端が接続されて、リセット信号Rに応じてON、OFF状態となり、積分回路220_jの積分、非積分動作を切り替えるスイッチ素子223_jからなる。

【0019】

ここで、図4は、この積分回路220の詳細構成図である。本図は、4ビットつまり16階調の分解能を持つA/D変換機能を備える積分回路の例であり、以下、この回路構成により説明する。可変容量部222は、チャージアンプ221の垂直受光部からの出力信号の入力端子に一方の端子が接続された容量素子C1～C4と、容量素子C1～C4の他方の端子とチャージアンプ221の出力端子の間に接続され、容量指示信号C₁₁～C₁₄に応じて開閉するスイッチ素子SW11～SW14と、容量素子C1～C4とスイッチ素子SW11～SW14の間に一方の端子が接続され、他方の端子がGNDレベルと接続されて、容量指示信号C₂₁～C₂₄に応じて開閉するスイッチ素子SW21～SW24により構成されている。なお、容量素子C1～C4の電気容量C₁～C₄は、

$$C_1 = 2C_2 = 4C_3 = 8C_4$$

$$C_0 = C_1 + C_2 + C_3 + C_4$$

の関係を満たす。ここで、C₀は積分回路220で必要とする最大電気容量であり、受光素子130（図3参照）の飽和電荷量をQ₀、基準電圧をV_{REF}とすると

$$C_0 = Q_0 / V_{REF}$$

の関係を満たす。

【0020】

再び、図3に戻り、A/D変換器210_jの積分回路220_j以外の回路を説明する。比較回路230_jは、積分回路220_jから出力された積分信号V_Sの値を基準値V_{REF}と比較して、比較結果信号V_Cを出力する。容量制御機構240_jは、比較結果信号V_Cの値から積分回路220_j内の可変容量部222_jに通知する容量指示信号Cを出力すると共に、容量指示信号Cに相当するデジタル信号D1

を出力する。

【0021】

続いて、図3に示すタイミング制御部300の構成を説明する。全回路のクロック制御を行う基本タイミングを発生する基本タイミング部310と、基本タイミング部310から通知された垂直走査指示に従って、垂直走査信号 V_i を発生する垂直シフトレジスタ320と、リセット指示信号Rを発生する制御信号部340により構成されている。

【0022】

次に、図5に示すブロック図を用いて、並列処理機構14を構成する演算素子400と転送用シフトレジスタ410の構成を説明する。

【0023】

転送用シフトレジスタ410は列毎に直列接続されており、受光素子120に1対1に対応している演算素子400とそれぞれが1対1に対応して接続されている。演算素子400は、受光素子120の4近傍の出力信号に相当するデジタル信号D1を収容する 4×8 ビットのランダムアクセス可能な1ビットシフトのレジスタマトリックス401と、演算信号をそれぞれ収容するAラッチ402、Bラッチ403、及び下位ビットから1ビットずつ順次演算する順次ビットシリアル演算を行う演算論理ユニット(ALU)404で構成されている。ALU404にはAND、OR、XOR、ADDの演算機能が用意されている。演算素子400は、各素子が共通の制御信号で制御されるSIMD (single instruction and multi data stream) 型の並列処理を行う構造になっている。これにより、1素子あたりのトランジスタ数を削減し、並列処理機構14の集積化を図り、素子数を増やすことができる。さらに、レジスタマトリックス401は、x方向データバス17とy方向データバス18とに接続され、両方のデータバスを利用してデータ転送を行うことができる構造になっている。

【0024】

次に、図2～図5を参照して、本実施形態の動作について説明する。

【0025】

まず、リセット信号Rを有為に設定し、図4に示す可変容量部222のSW1

1～SW14を全て「ON」、SW21～SW24を全て「OFF」状態にする。これにより、チャージアンプ221の入力端子と出力端子間の容量値を C_0 に設定する。それと同時に、図3に示す全てのスイッチ素子140を「OFF」状態とし、垂直走査信号 V_i をいずれの受光素子120も選択しない状態に設定する。この状態から、リセット指示信号 R を非有為に設定し、各積分回路220での積分動作を開始させる。

【0026】

積分動作を開始させると、図3に示す N 2個の各垂直受光部 110_j にある第1番目の受光素子 $120_{1,j}$ のスイッチ素子140のみを「ON」とする垂直走査信号 V_1 が出力される。スイッチ素子が「ON」になると、それまでの受光によって光電変換素子130に蓄積された電荷 Q_1 は、電流信号として受光部100から出力される。つまり、光電変換素子の信号を読み出すことができる。電荷 Q_1 は容量値 C_0 に設定された可変容量部222に流入する。

【0027】

次に、図4により積分回路220内部の動作を説明する。容量制御機構240（図3参照）は、SW12～SW14を開放した後、SW22～24を閉じる。この結果、積分信号 V_S は、

$$V_S = Q / C_1$$

で示す電圧値として出力される。積分信号 V_S は、比較回路230に入力され、基準電圧値 V_{REF} と比較される。ここで、 V_S と V_{REF} の差が、分解能の範囲以下、すなわち $\pm(C_4/2)$ 以下の時は、一致したものとみなし、更なる容量制御は行わず、積分動作を終了する。分解能の範囲で一致しないときは、更に容量制御を行い、積分動作を続ける。

【0028】

例えば、 $V_S > V_{REF}$ であれば、容量制御機構240は、更に、SW22を開放した後、SW12を閉じる。この結果、積分信号 V_S は、

$$V_S = Q / (C_1 + C_2)$$

で示す電圧値となる。この積分信号 V_S は、後続の比較回路230（同）に入力して、基準電圧値 V_{REF} と比較される。

【0029】

また、 $V_S < V_{REF}$ であれば、容量制御機構240は、更に、SW11及びSW22を開放した後に、SW12及びSW21を閉じる。この結果、積分信号 V_S は、

$$V_S = Q / C_2$$

で示す電圧値となる。この積分信号 V_S は、後続の比較回路230に送出され、基準電圧値 V_{REF} と比較される。

【0030】

以後、同様にして、積分回路220→比較回路230→容量制御機構240→積分回路220のフィードバックループによって、積分信号 V_S が基準電圧値 V_{REF} と分解能の範囲で一致するまで、比較及び容量設定（SW11～SW14及びSW21～SW24のON/OFF制御）を順次繰り返す。積分動作が終了した時点のSW11～SW14のON/OFF状態を示す容量指示信号 $C_{11} \sim C_{14}$ の値は、電荷 Q_1 の値に対応したデジタル信号であり、最上位ビット（MSB）の値が C_{11} 、最下位ビット（LSB）の値が C_{14} である。こうしてA/D変換が行われ、これらの値をデジタル信号D1として、並列処理機構14に出力する。以上述べたように、この装置では、デジタル信号D1の各ビット値は、MSB側からLSB側へ1ビットずつ順に定まる。

【0031】

第1番目の受光素子120_{1,j}の光電出力に相当するデジタル信号の送出が終了すると、リセット信号Rが有為とされ、再び、非有為にして、可変容量部22_jの容量値を初期化した後に、各垂直受光部110_jの第2番目の受光素子120_{2,j}のスイッチ素子140のみを「ON」とする垂直走査信号 V_2 を出力し、上述と同様の動作により、第2番目の受光素子120_{2,j}の光電出力を読み出し、これに相当するデジタル信号を送出する。以下、垂直走査信号を切り替えて、全受光素子120の光電出力を読み出し、相当するデジタル信号を並列処理機構14に出力する。

【0032】

次に、演算素子400の動作を図5を参照して説明する。A/D変換されたデ

デジタル信号は、転送用シフトレジスタ410を介して、それぞれの受光素子120に対応する演算素子400のレジスタマトリックス401に送られる。転送用シフトレジスタ410を装備することによって、転送用シフトレジスタ410における転送動作は、演算素子400の動作とは独立に行われ、演算素子400において処理演算を行わせている間に、転送用シフトレジスタ410に次のデータを転送させるパイプライン的な処理が可能となり、演算素子400におけるより高速なフレームレートでの演算処理が可能となる。また、転送用シフトレジスタ410は、制御回路15からの転送開始の信号に基づいて、A/D変換されたデータの転送を開始し、(行方向の素子数×アナログレベル)分だけビットシフトによる転送を行った後、「データ転送完了」の信号を制御回路15に送り返すことでより効率的な転送を行うことができる。

【0033】

演算素子400内部の演算は、必要があれば、各演算素子400間でそれぞれのレジスタマトリックス401に収容された信号の転送、x方向データバス17、y方向データバス18と各バッファ19、20を介した制御回路15とのデータ、制御信号の転送を行った後、演算に必要な信号をレジスタマトリックス401からAラッチ402とBラッチ403に読み出し、ALU404で所定の演算を行い、計算結果はレジスタマトリックス401とx方向データバス17、y方向データバス18及び各バッファ19、20を介して制御回路15を通じて外部回路に出される。演算は全演算素子400において同時に並列処理されるため、極めて高速の演算が可能である。

【0034】

さらに、本実施形態では、x方向データバス17、y方向データバス18を介して外部から高速でデータあるいは制御信号を各演算素子に供給することができるので、演算の際に各演算素子400において画像情報以外のデータを必要とするような演算処理の場合も極めて高速の演算が可能となる。以下に、位置情報データを必要とする「重心演算」を例として、この位置情報を外部からデータとして供給した場合の画像処理の実行動作を詳細に説明する。

【0035】

重心演算は、x方向およびy方向のそれぞれについての重みづけ総和の演算が基本となる。重心座標 G_c は、画像上のある位置(x、y)の画像強度のデータを $I(x, y)$ とすると以下の計算式により求められる。

【0036】

【数1】

$$G_c = \left(\frac{\sum_{y=1}^{N2} \sum_{x=1}^{N1} \{I(x, y) \times x\}}{\sum_{y=1}^{N2} \sum_{x=1}^{N1} I(x, y)}, \frac{\sum_{y=1}^{N2} \sum_{x=1}^{N1} \{I(x, y) \times y\}}{\sum_{y=1}^{N2} \sum_{x=1}^{N1} I(x, y)} \right) \quad (1)$$

【0037】

つまり、重心演算を行うためには各演算素子400において、各画素のデータ $I(x, y)$ にその位置情報(x、y)を掛け合わせてその和を求める必要があるため、予め画素の位置情報(x、y)を各演算素子に転送しておく必要がある。

【0038】

重心のx座標を求める際には、画像のx方向の位置情報と画像強度 I を掛け合わせて、さらに各画素の計算結果を足し合わせ、これを平均画像強度 G_{ave} で割ることで求めることができる。なお、 G_{ave} は、全画素の画像強度を足し合わせてこれを画素の総数 $N1 \times N2$ で割ることによって求めることができる。重心のy座標についても同様に各画素について画像のy方向の位置情報と画像強度 I を掛け合わせて、さらに各画素の計算結果を足し合わせ、これを平均画像強度 G_{ave} で割ることで求めることができる。

【0039】

まず、重心のx方向座標の演算について説明する。並列処理演算に必要なデータである各画素のx方向位置情報(以下、単にxアドレスと呼ぶ)を制御回路15から各演算素子400に転送する。この転送は、各xアドレスをx方向のデータバッファ19に格納しておき、x方向データバス17の各バスを用いてビットシリアル方式によって下位ビットより1ビットづつ順番に転送する。x方向デー

タバスの各バスに接続されている画素のxアドレスは、同一であるから、下位ビットから順に $\log_2(N1)$ ビットの転送で、全演算素子400にそのxアドレスを転送することが可能である。

【0040】

この位置情報は、各演算素子400のレジスタマトリックス401に格納され、下位ビットからBラッチ404へと読み込まれる。一方、転送用レジスタ410を介して転送された画像データIは、レジスタマトリックス401を通じてAラッチ402に読み込まれる。ALU404で、Aラッチ402の値とBラッチ403の値の乗算を行い、演算結果をレジスタマトリックスを通してAラッチ402に格納する。

【0041】

次に、x方向の総和を取るため、各演算素子は、その位置を(x, y)で表すと、それぞれ隣接する位置(x+1, y)の画素の演算結果をレジスタマトリックス401よりBラッチ403に読み込み、Aラッチ402とBラッチ403の値の加算を行い、Aラッチ402へと格納する。これにより、各画素には、2画素分の演算結果の和が格納されることになる。次に、各演算素子は、位置(x+2, y)の演算素子に收容されている演算結果をレジスタマトリックス401よりBラッチ403に読み込み、同様の加算を行う。続いて、4つ隣、8つ隣、16個隣、32個隣、64隣、…と進めて、(N1/2)隣まで加算を繰り返すことで、その列におけるx方向の全ての重みづけ加算結果が各列の先頭にある演算素子400のAラッチに得られる。各列毎に求められたこの重みづけ加算結果を同様の手法を用いて各列の加算結果を加算することで、(1)式に示したx座標の分母が得られる。これを予め求めておいた画像の平均強度で除算することで、重心のx座標が得られる。

【0042】

重心のy座標についても同様に求めることができ、この場合は、各画素のyアドレスをy方向のデータバッファ20に格納しておき、y方向データバス18の各バスを用いてビットシリアル方式によって下位ビットより1ビットずつ順番に転送する。y方向データバス18の各バスに接続されている画素のyアドレスは

、同一であるから、この場合も一回の転送で、全演算素子400にそのyアドレスを転送することが可能である。

【0043】

さらにデータバスを利用することで、各演算素子において異なった演算を行うことも可能となる。例として、x方向データバス17およびy方向データバス18を用いて制御データを転送する演算例を示す。本システムの並列演算方法は、すべての演算素子において同等の演算を行うSIMDと呼ばれる方式である。しかし場合によっては、各画素ごとに違う演算をさせたり、ある画素のみに特別な演算を行わせることでより柔軟性のある処理が可能となる。例えば、ある画素に特別な演算を行わせたい場合、x方向データバス17とy方向データバス18から、ある特定の画素を指定し、例えば(x1, y1)のラインにのみ1、他には0を転送し、この値と演算素子400が保持している値を掛け合わせた後に画像処理演算を行えば、位置(x1, y1)の演算素子400でのみ画像処理演算がなされることになる。

【0044】

また、データバス17、18を双方向に使用すれば、x方向、y方向のある演算素子400からの信号を制御回路15が受信することが可能となる。この機能を利用すれば、例えばある検索画像(m1×m2画素)を並列演算によって探した場合には、一致信号が得られた位置を、データバスを通じて高速に制御装置が確認できる。画像検索の具体例を説明する。この検索は、検索パターンPが画像D(N1×N2画素)内にあるか、あるとすればいずれの位置にあるかを見つける作業である。マッチングのアルゴリズムには多くの研究例があるが、ここでは、最も簡単な次の計算式

【0045】

【数 2】

$$\text{ERROR}(p, q) = \sum_{i=1}^{m1} \sum_{j=1}^{m2} |I(p+i, q+j) - P(i, j)| \quad (2)$$

【0 0 4 6】

で示される画像間の距離 $\text{ERROR}(p, q)$ が、あるしきい値より小さい時に同一画像とみなすアルゴリズムを用いるものとする。ここで、 (p, q) は、画像の基準画素の位置である。

【0 0 4 7】

このアルゴリズムに基づく検索処理のフローチャートを図 6 に示し、同図を参照しつつデータ処理の流れを以下に説明する。

【0 0 4 8】

まず、ステップ S 1 において、入力画像 D の各画素の画像データを並列処理機構 1 4 の各演算素子 4 0 0 へと転送する。次に、ステップ S 2 において、初期状態を設定する。具体的には、検索パターン P 中のマッチング検出位置 (i, j) に先頭位置 $(1, 1)$ を設定し、計算結果 $E_r(p, q)$ をリセットする。ステップ S 3 で、検索パターン P のこの検出位置 (i, j) (ここでは、先頭位置 $(1, 1)$) の画像データ $P(i, j)$ を制御回路 1 5 からデータバス 1 7、1 8 を介して各演算素子 4 0 0 へと転送する。ステップ S 4 においては、各演算素子 4 0 0 においてレジスタマトリックス 4 0 1 の位置 (p, q) にある各画素の画像データ $I(p, q)$ と検索パターンのマッチング検出位置の画像データ $P(i, j)$ の差の絶対値を求め、 $E_r(p, q)$ に加算する。ここでは、具体的には、画像データ $I(p, q)$ と検索画像の先頭位置の画像データ $P(1, 1)$ の差の絶対値を求め、レジスタマトリックス 4 0 1 の 4 つの領域の一つに $E_r(p, q)$ として格納する。

【0 0 4 9】

ステップS5では、制御回路15は、検出位置(i, j)が最終位置($m1, m2$)に到達しているか否かを判定する。ここでは、検出位置(i, j)は、まだ先頭位置(1, 1)なので、最終位置には到達しておらず、ステップS6へと移行する。ステップS6では、 $i \neq m1$ の場合は、 i の値のみを1増加させ、 $i = m1$ の場合は、 x 方向の端に達したとして i を1にリセットし、 j の値を1増加させる。 $i = 1, j = 1$ の場合は、 $i = 2, j = 1$ へと更新される。そして、ステップS7では、位置($p + i - 1, q + j - 1$)の画像データ、ここでは、位置($p + 1, q$)の画像データを演算素子400のレジスタマトリックス401に転送する。具体的には、レジスタマトリックス401の近傍転送機能を利用して隣の画素に格納されている画像データ値を空いている領域に転送することでこの転送は行われる。

【0050】

転送が終了したら、ステップS3に戻り、検出位置が最終位置($m1, m2$)に到達するまで、ステップS3～S7を繰り返す。ステップS4で加算を行うことにより、 $ERROR(p, q)$ を求めることができる。そして、ステップS7による転送は、レジスタマトリックス401の転送機能を利用して、 x 方向、 y 方向にそれぞれ順次隣の画素に転送していくことで転送を行えばよい。

【0051】

検出位置が最終位置($m1, m2$)に達し、 $ERROR(p, q)$ が求まると、ステップS5からステップS8へと移行する。ステップS8においては、制御回路15は閾値 E_{th} を設定し、ステップS9で、データバス17、18を介して各演算素子400へと転送する。各演算素子400は、ステップS10で、閾値 E_{th} と求めた $ERROR(p, q)$ つまり、 $E_r(p, q)$ とを比較する。 $E_r(p, q)$ が閾値 E_{th} 以下の場合は、ステップS11に移行して1を出力し、 $E_r(p, q)$ が閾値 E_{th} より大きい場合は、ステップS12に移行して0を出力する。これらの出力データは、データバス16、17で加算され、1を出力した演算素子400の個数が算出される。

【0052】

ステップS13では、この個数を判定し、出力個数が0の場合は、ステップS

14に移行して、マッチング画像なしとの判定結果を出力する。出力個数が1個の場合は、1を出力した演算素子400の位置データ(p, q)を出力する。そして、出力個数が2個以上あった場合は、ステップS15で閾値 E_{th} を小さく変更してステップS9に戻り、出力個数が1個になるまで閾値 E_{th} を小さくしていくことで絞り込みを行う。

【0053】

このほか、データバス17, 18を用いることで、ある演算を行なった後に、ある1つの演算素子400のレジスタマトリックス401の中身を選択的に取り出すことも可能である。

【0054】

画像処理でよく用いられるアルゴリズムのいくつかについて、本実施形態により演算を行った場合のステップ数、処理時間の例を表1に示す。

【0055】

【表1】

処理名称		ステップ数	所要時間(μ s)
2 近傍エッジ検出	1bit 入出力	5	0.40
4 近傍エッジ検出	1bit 入出力	11	0.72
4 近傍平滑化	1bit 入出力	14	1.0
4 近傍エッジ検出	8bit 入出力	70	5.6
4 近傍エッジ検出	8bit 入出力	96	7.7
4 近傍細線化	1bit 入出力	23	1.9
8 近傍細線化	1bit 入出力	53	4.2
コンボリューション	1bit 入力、4bit 出力	40	3.2
コンボリューション	4bit 入力、11bit 出力	372	30
Poisson 方程式	1bit 入力、8bit 出力	63	5.0

【0056】

これらの演算時間は、転送用シフトレジスタ410による画像データの転送時間は含まない。転送用シフトレジスタが無い場合には、この演算時間の他に、画像データを転送する時間が必要となる。例えば、転送データ速度を1ビット/1マイクロ秒(A/D変換器の変換スピードによって制約される値)と考えると、1

28×128画素×8ビットデータを扱うためには、128（画素）×8（ビット）×1（ビット/μ秒）≒1ミリ秒が必要となる。つまり、並列演算に要する時間に比較して、数倍の時間が転送に必要となってしまう、リアルタイム画像処理が困難となる。

【0057】

表1から明らかなように、演算と並行して転送を行う本実施形態では、一般的な画像処理（例えば、平滑化、細線化、コンボリューション、相関、マスク処理）演算を、非常に高速で行うことができる。したがって、これまでの視覚センサ装置では、演算処理速度が遅いために制限されていたFAロボット制御などの分野への応用が可能になる。

【0058】

本実施形態が目指しているのは、実用的な高速性と十分な解像度を有する画像処理システムである。解像度の目安としては、FAシステムにおけるロボット制御には、受光素子120を128×128個以上配列する解像度が必要とされる。本実施形態によれば、受光素子アレイ11と並列処理機構14を分離でき、それぞれの集積度を高められるため、この解像度を十分に実現できる。また、処理速度の目安としては、ロボットのアクチュエータの速度（1～10ミリ秒）が必要である。本実施形態では、この処理速度は、前述したようにA/D変換器210におけるA/D変換処理速度によって決まるが、以下に述べるように、十分に高速化が可能である。

【0059】

ここで、本実施形態での1画素あたりのA/D変換速度は、1ビットあたり1マイクロ秒となる。例えば、入力アナログ信号を6ビット（64階調）でデジタル変換する場合には、1列分の128個の受光素子120の出力信号をデジタル変換するのに必要な時間は、6マイクロ秒×128＝0.768ミリ秒となる。画像処理については、各受光素子に1対1に対応して演算素子が配置され、全演算素子で並列処理されるため、表1に示すように、0.4ミリ秒以下でほとんどの演算処理が行える。さらに、演算処理と転送処理を並行して行えるので、それぞれの処理の空き時間を減らすことができ、処理全体の時間を短縮することがで

きる。

【0060】

また、前述したように本実施形態のA/D変換器は、最上位ビットからA/D変換を行う。したがって、所望のビット数まで変換した時点で、リセット信号Rを送出し、次の光信号のA/D変換に移ることにより、A/D変換の階調を変更することができる。これにより、より高速で、複雑な処理を行うことが可能となる。例えば、移動物体のトラッキングをするような場合に、物体が高速で移動している場合は、画像を1ビットの2値レベルで演算処理するように制御すれば、転送時間は、前述の6ビットの時の6分の1の0.128秒に短縮され、高速フィードバック制御に適用できる。逆に、低速で動いている場合には、階調を上げることにより、より精度を向上させて、追従させることができる。

【0061】

ただし、A/D変換器から出力されるビット長を可変にする場合は、転送用シフトレジスタでは入力データのビット長を調整して固定長にする必要がある。なぜなら、例えば、通常のデータ長が8ビットの場合の転送用シフトレジスタには、固定長で8ビット×列画素数のシフトレジスタが用いられる。そして、8ビットずつ区切った個々のシフトレジスタがそれぞれの位置に対応する各画素用の転送用シフトレジスタとして機能する。したがって、ビット長を8ビットに合わせておかないと、画像データが対応する位置の転送用シフトレジスタに正しく転送されないことになるからである。このため、転送用シフトレジスタに送る時点でダミー信号を加えて合計8ビットになるようにすることでデータが正しく転送される。

【0062】

以上の説明では、データバッファ19、20を設けた実施形態について説明してきたが、制御回路15とデータバス17、18間に十分な転送速度が得られるような場合は、データバッファを設ける必要はない。

【0063】

【発明の効果】

以上説明したように、本発明によれば、受光素子と1対1に対応する演算素子

を有しているので、並列処理により高速の画像処理が可能である。また、A/D変換器を1列ごとに設けているので、A/D変換器を素子毎に設けている場合に比較して、受光素子と演算素子間の伝送線の数少なく、受光素子と演算素子を別々に製造、配置することが容易にできる。このため、両者とも集積度を最適にすることができ、多画素数の高速視覚センサ装置を容易に製作できる。A/D変換器を列ごとに設けたため、A/D変換の処理速度により、全体の処理速度が制限を受けるが、FAロボット制御に十分な画素数といわれる 128×128 画素の映像を64階調で処理する場合でも、ほとんどの画像処理が1ミリ秒以下で終了し、従来にない高速処理が可能である。

【0064】

特に、A/D変換器から演算素子へのデータ転送時に、転送用シフトレジスタを用いて、演算処理と転送を独立に実行できる機能を実現することで、実時間処理が可能となる。さらに、外部からのデータが必要となる演算では、x方向データバスおよびy方向データバスより効率的にデータ転送（送受信）が可能であるため、高速な演算が可能である。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係るブロック図である。

【図2】

図1の実施形態に係る概略構成図である。

【図3】

図1の実施形態に係る受光素子アレイ、並列アンプ及びA/D変換器アレイの回路構成図である。

【図4】

図1の実施形態に係る積分回路の詳細回路構成図である。

【図5】

図1の実施形態に係る演算素子のブロック図である。

【図6】

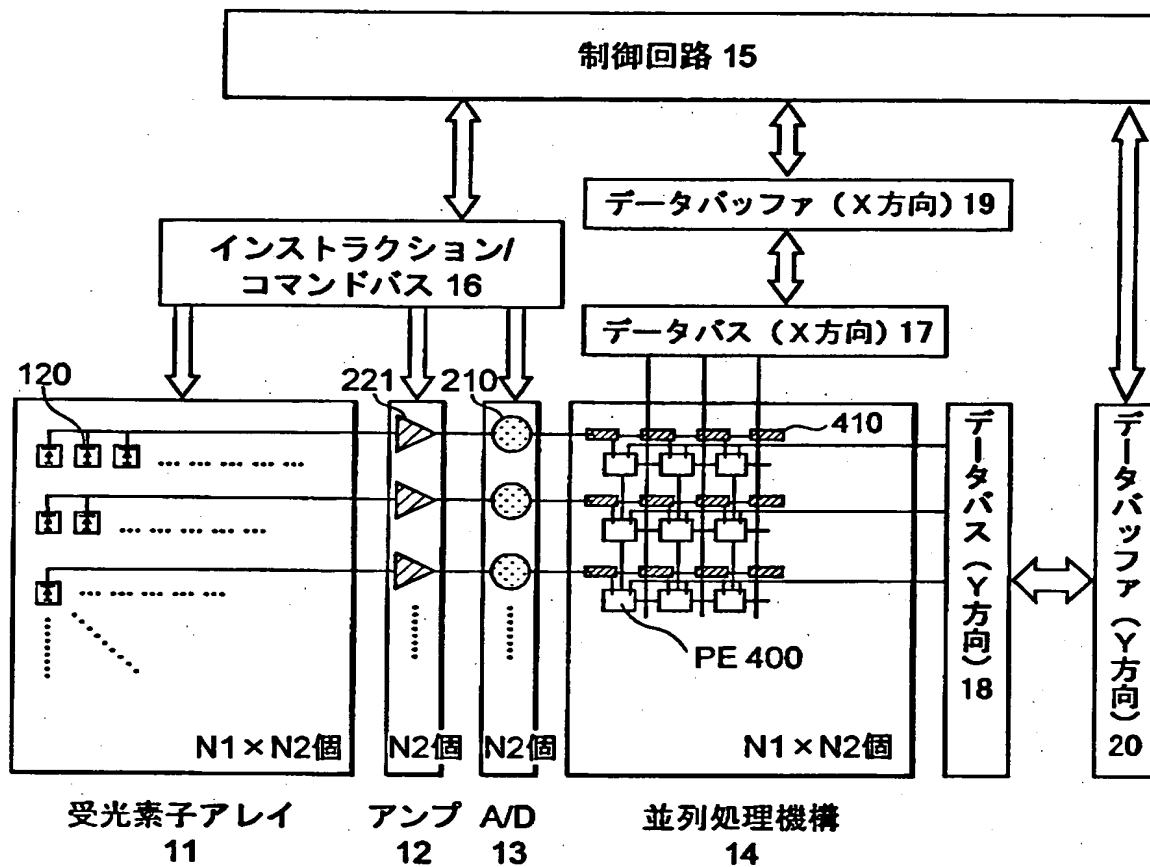
図1の実施形態における画像検索動作の処理フロー図である。

【符号の説明】

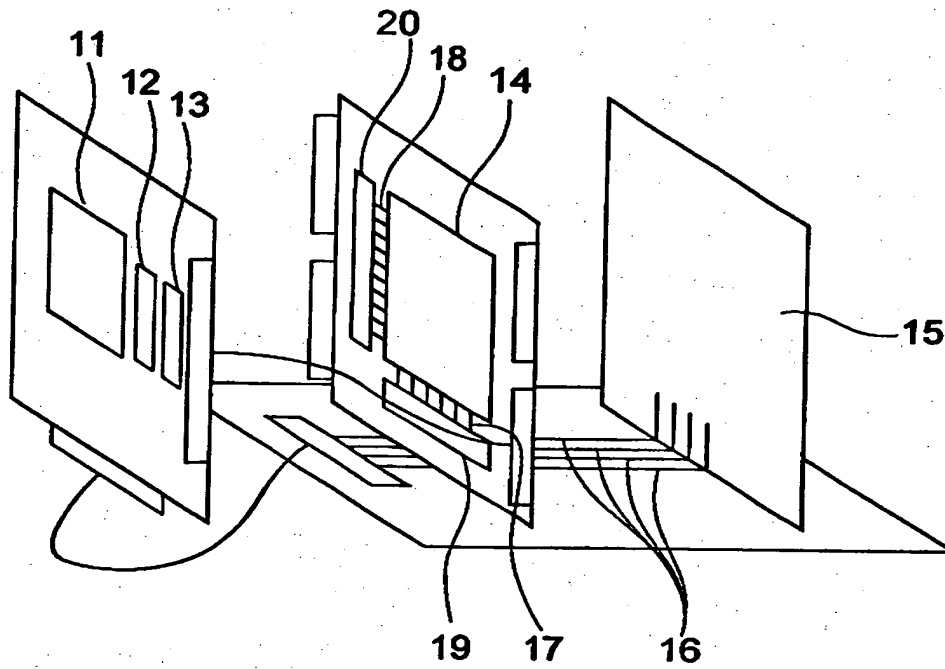
11…受光素子アレイ、12…アンプ、13…A/D変換器アレイ、14…並列処理機構、15…制御回路、16…インストラクション/コマンドバス、100…受光部、110…垂直受光部、120…受光素子、130…光電変換素子、140…スイッチ素子、200…信号処理部、210…A/D変換器、220…積分回路、221…チャージアンプ、222…可変容量部、223…スイッチ素子、230…比較回路、240…容量制御機構、300…タイミング制御部、310…基本タイミング部、320…垂直シフトレジスタ、340…制御信号部、400…演算素子、401…レジスタマトリックス、402…Aラッチ、403…Bラッチ、404…ALU、C1～C4…容量素子、SW11～SW14、SW21～SW24…スイッチ素子。

【書類名】 図面

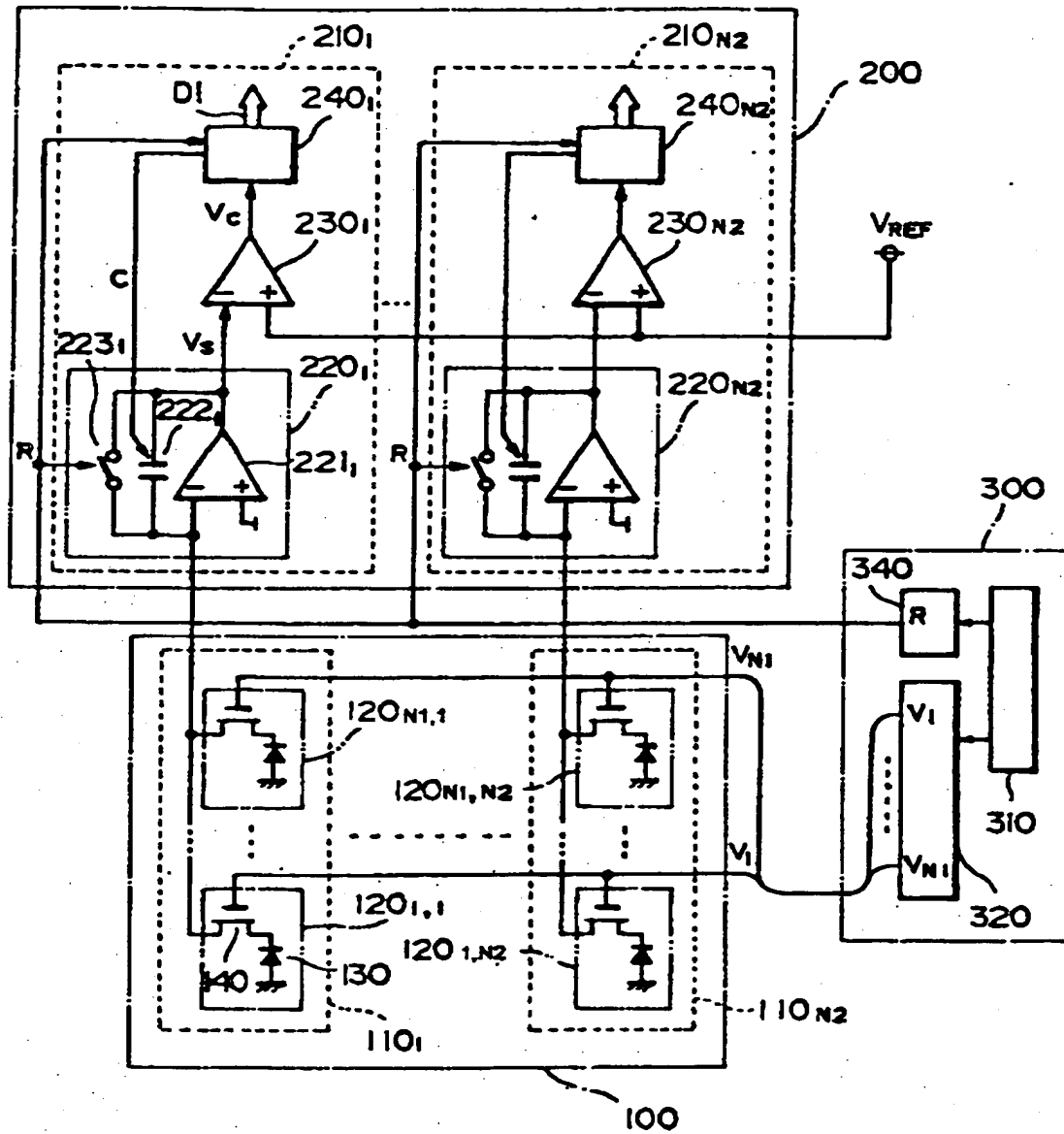
【図 1】



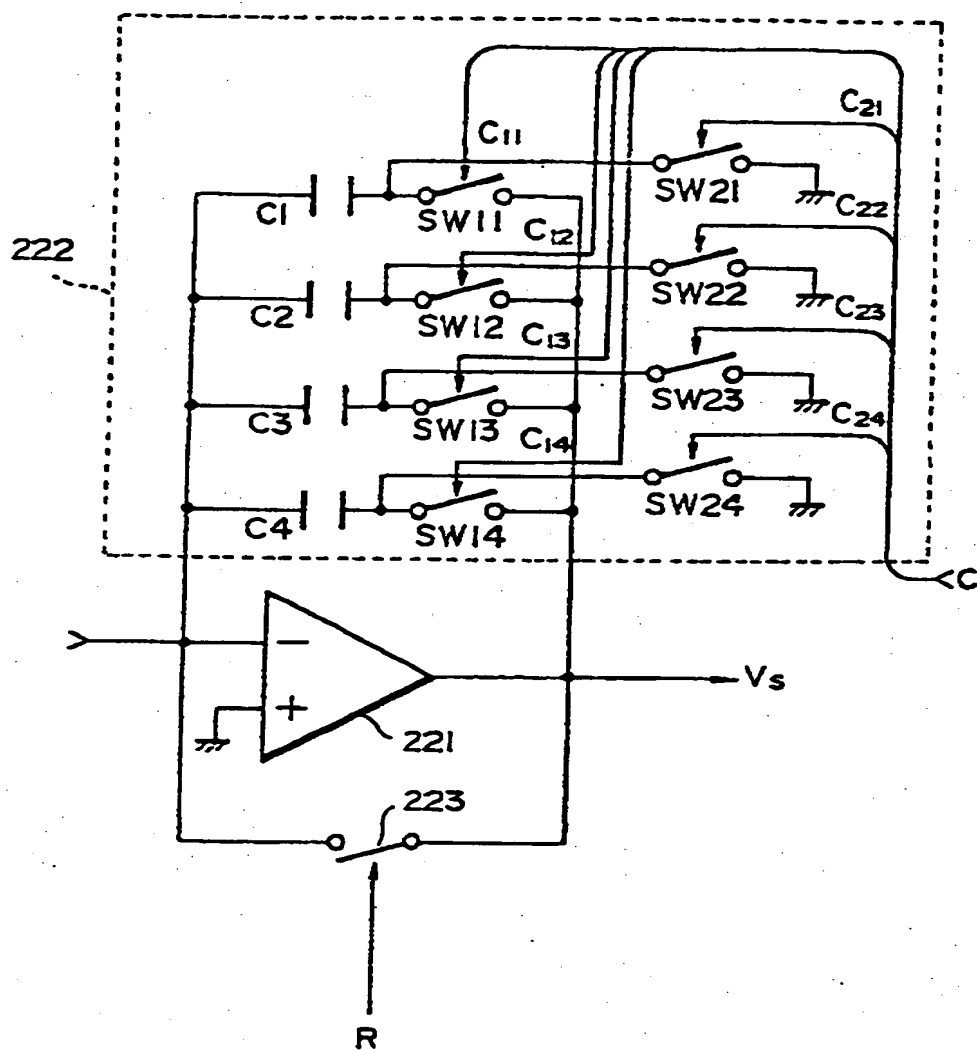
【図2】



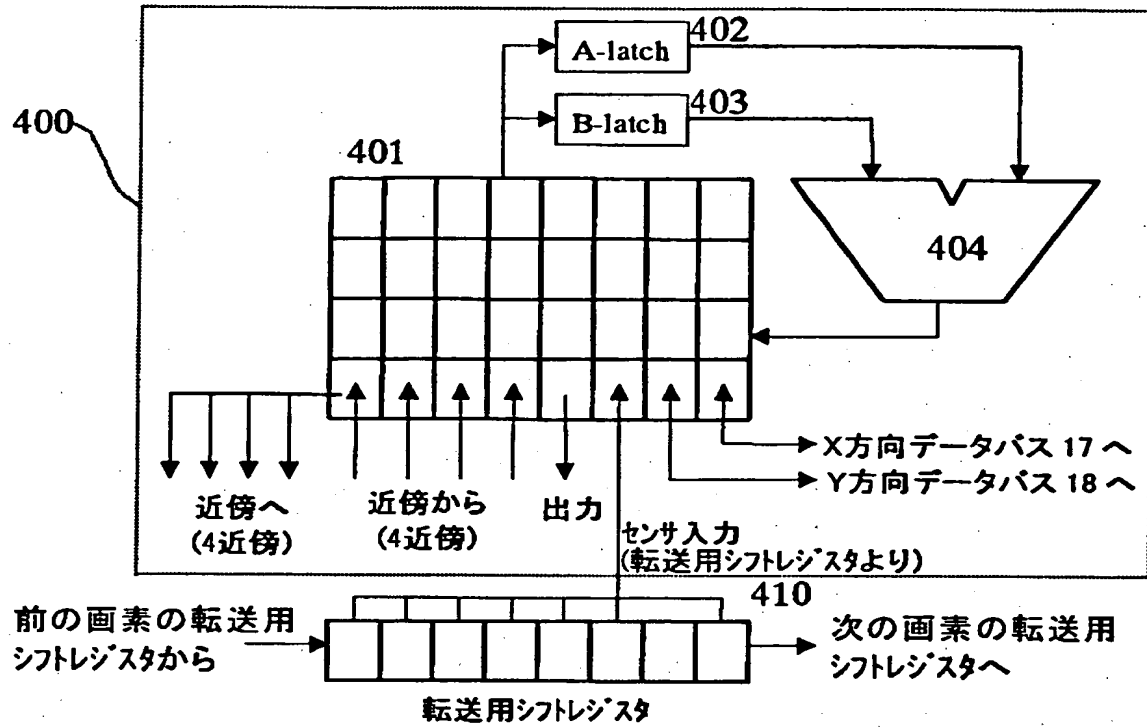
【図 3】



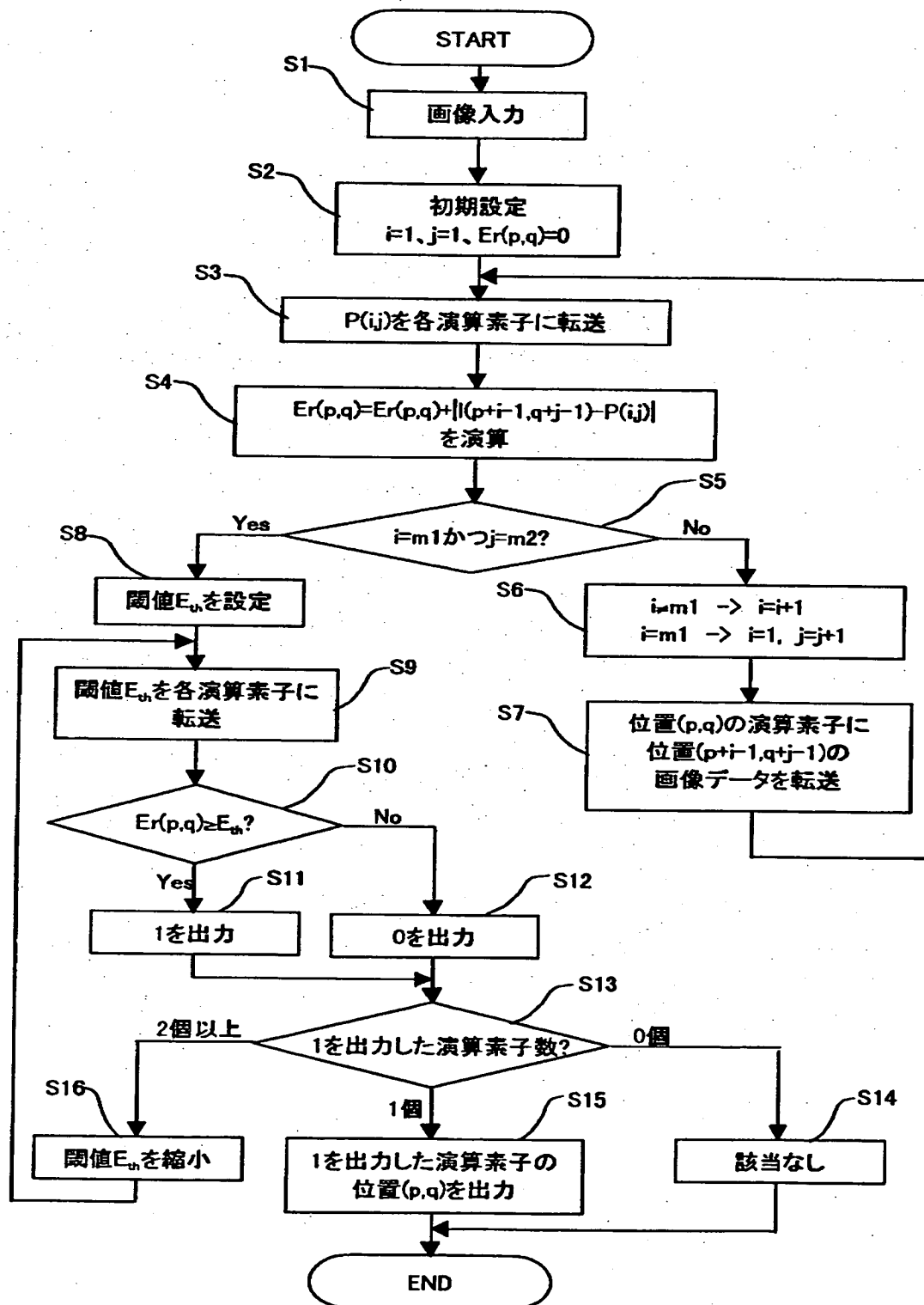
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 単な回路構成で、基本的な画像演算を高速に処理することが可能な多画素数の高速視覚センサ装置を提供する。

【解決手段】 受光素子アレイ 11 の各列の受光素子 120 に対して 1 個の A/D 変換器 210 を対応させた A/D 変換器アレイ 13 と、受光素子 120 と 1 対 1 に対応する演算素子 400 と転送用シフトレジスタ 410 からなる並列処理機構 14 とを備え、演算素子 400 にデータ転送を行うデータバス 17、18 とデータバッファ 19、20 とを備えている。演算素子 400 は並列処理により近傍画素間の画像処理演算を高速で行うことができ、データバス 17、18 を利用することで外部からデータ転送の必要な演算処理も高速で行うことができる。

【選択図】 図 1

特平11-070121

出 願 人 履 歴 情 報

識別番号

[000236436]

1. 変更年月日 1990年 8月10日

[変更理由] 新規登録

住 所 静岡県浜松市市野町1126番地の1

氏 名 浜松ホトニクス株式会社